

⑫ 公開特許公報 (A) 平2-222582

⑤Int.Cl.⁵

H 01 L 31/10

識別記号

庁内整理番号

③公開 平成2年(1990)9月5日

7733-5F H 01 L 31/10

A

審査請求 有 請求項の数 10 (全12頁)

④発明の名称 半導体装置

②特 願 平1-44123

②出 願 平1(1989)2月23日

④発明者 林	豊	茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内
④発明者 友成 恵 昭		大阪府門真市大字門真1048番地 松下電工株式会社内
④発明者 阪井 淳		大阪府門真市大字門真1048番地 松下電工株式会社内
④発明者 柿手 啓治		大阪府門真市大字門真1048番地 松下電工株式会社内
④出願人 工業技術院長		東京都千代田区霞が関1丁目3番1号
④復代理人 弁理士 松本 武彦		
④出願人 松下電工株式会社		大阪府門真市大字門真1048番地
④代理人 弁理士 松本 武彦		

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1 光を受けて半導体薄膜で光電変換がなされて起電力が発生する半導体装置において、

$L \leq 1/\alpha(\lambda)$ となる波長の光を光電変換する半導体薄膜を有する光電変換素子が複数重ね合わされてなる

但し、 λ : 入射光の波長

$\alpha(\lambda)$: 波長 λ の光に対する半導体薄膜の吸収係数

L : キャリア收集長

ことを特徴とする半導体装置。

2 重ね合わされた光電変換素子の光電変換を行う半導体薄膜の合計膜厚 : d 、重ね合わされた光電変換素子の数 : n とするとき、 $L < d < nL$ である請求項1記載の半導体装置。

3 重ね合わされた光電変換素子の数が、

$1/(\alpha(\lambda) \cdot L)$ 以上である請求項1または2記載の半導体装置。

4 光が入射する側から m 番目 ($1 < m \leq n$) の光電変換素子の光電変換を行う半導体薄膜の膜厚 t_m が、 $t_m \leq L$ である請求項1から3までのいずれかに記載の半導体装置。

5 重ね合わされた光電変換素子の各々で吸収される光量がほぼ等しくなる請求項1から4までのいずれかに記載の半導体装置。

6 光が入射する側から m 番目までの光電変換素子の光電変換を行う半導体薄膜の膜厚 X_m がほぼ

$$X_m = \frac{1}{d} \sinh^{-1} \left(\left(1 - \frac{m}{n} \right) \sinh \alpha(\lambda) d \right)$$

である請求項5記載の半導体装置。

7 半導体装置が、スイッチング素子である電界効果型トランジスタの制御電極にその起電力が付与されるように接続されていて、スイッチング装置用受光素子となっている請求項1から6まで

のいずれかに記載の半導体装置。

8 光電変換素子は、電界効果型トランジスタのしきい値電圧以上の出力電圧を起こせるだけの数で重ね合わされてなる請求項7記載の半導体装置。

9 スイッチング装置が、制御回路も備えており、この制御回路が形成されている半導体基板上に半導体装置が積層されてなる請求項7または8記載の半導体装置。

10 スイッチング素子である電界効果型トランジスタが形成されている半導体基板上に半導体装置が設けられてなる請求項7または8記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、光を受けて半導体薄膜で光電変換がなされ起電力が発生する半導体装置に関する。

(従来の技術)

光を受けて半導体薄膜で光電変換がなされ起電力が発生する半導体装置として、特願昭62-2

0を直列に接続するためには、第11図に示すように、光電変換素子D10を島状に別々に分離形成しておいて、各光電変換素子D10を導電性薄膜100, 101等で接続するようにする。この装置は、従来用いられている誘電体分離基板(D1基板)の各分離島上に、光電変換素子を形成する場合に比べ、低コストで、実用性の高い装置が提供できるとともに、スイッチング素子が形成された半導体基板上に直接、光電変換素子アレイを形成することができる等多くの利点を有するものである。

(発明が解決しようとする課題)

しかし、このような多くの利点を有する装置においても、光(例えば発光素子L1)の波長と光電変換素子の感度の組み合わせの最適化が図られておらず、十分な光電変換効率が達成されていないのが現状である。

光電変換素子においては、第13図(a)に示すごとく、入射光の波長λ、光電変換を行う半導体薄膜Mの波長λ'の光に対する吸収係数α(λ)、膜

39169号に記載のものがある。第10図は、この種の半導体装置を受光部に使用したスイッチング装置の等価回路をあらわし、第11図は、半導体装置を中心とした構成をあらわす。この場合、半導体装置は、光電変換素子アレイDA10として構成されており、同アレイDA10はスイッチング素子であるトランジスタT10のゲート(制御電極)に接続されている。スイッチング装置は、発光素子L1も備えていて、同発光素子L1の光を光電変換素子アレイDA10が受けて起電力を発生し、この起電力により、トランジスタT10がスイッチング動作するようになっている。このスイッチング装置において、光電変換素子アレイDA10が用いられるのは、トランジスタT10が電界効果型トランジスタ(以下、適宜「FET」という)等の電圧制御素子であるため、FETを駆動させるために通常、数個の光電変換素子D10を直列に接続し(図中は3個)ソース・ゲート間のしきい値電圧を越える電圧を発生させなければならないからである。光電変換素子D1

厚D、半導体薄膜Mのキャリア収集長lとすれば、

$$L > D > 1/\alpha(\lambda) \quad \dots (1)$$

$(1/\alpha(\lambda))$ では光は $(1 - 1/e)$ 吸収される

の関係が成立立つ場合に、光電変換素子は最も高い変換効率を示すと考えられる。

逆に、例えば、第13図(b)に示すように、

$$L < 1/\alpha(\lambda) < D \quad \dots (2)$$

の場合には、入射光は半導体薄膜Mで完全に吸収されるが、半導体薄膜M中で発生したキャリアの一部が途中で消滅し収集されず、発電に寄与しない。

また、第13図(c)に示すように、

$$D \leq L \leq 1/\alpha(\lambda) \quad \dots (3)$$

の場合には、半導体薄膜M中で発生したキャリアは完全に収集されるが、入射光が半導体薄膜Mで完全に吸収されずに透過し、入射光の相当部分が発電に寄与できなくなる。

ここで、吸収係数α(λ)、キャリア収集長L

は、入射光の波長 λ 、半導体薄膜の材料により一義的に決まる値であり、式(1)に示すごとく

$$L > 1/\alpha(\lambda)$$

の場合には光電変換効率が高く問題ないが、

$$L \leq 1/\alpha(\lambda)$$

の場合には、式(2)、(3)に示すように、高効率の光電変換が難しい。以下、より具体的に説明する。

例えば、光電変換を行う半導体薄膜としてアモルファスシリコンを用いた場合には、高品質の膜で、キャリア収集長が約1μmであり、 $1/\alpha(\lambda) = 1\text{ μm}$ となる光の波長 λ が6000Åである。ところが、通常、光電変換素子に光を与える発光素子にはLEDが用いられているが、この波長領域では発光出力の大きなLEDではなく、現状では、光の波長 λ が6600ÅのLEDが使用されている。また、現実的には最高品質の膜質が得られるとも限らず、さらに光劣化の問題もあるため、この対策として、膜厚みを余り厚くすることができない。実際、この対策として、アモルファスシリコンの膜厚Dが約6000Å程度の薄いものが

使用されている（式(3)の状態となっている）。

このようなことから、変換効率は最適な組み合わせ（式(1)の状態）に比べ、約1/3程度にしかすぎない。

それだけでなく、第11図に示すように、各光電変換素子D10を互いに隔てて形成し接続しているため、電力を発生しない部分S（以下「デッド・スペース」と言う）ができてしまう。このデッド・スペースの割合は、特に、光電変換素子D10の数が多くなり、セルサイズが小さくなるに従い増加し、変換効率がより悪くなってくる。例えば、第12図に示すように、9個の光電変換素子D10を接続し、全体のセルサイズ（ $\ell \times \ell$ ）が $1\text{ μm} \times 1\text{ μm}$ 程度である場合だと、デッド・スペース「S」が全体の面積の20%にまで達する。

この発明は、上記事情に鑑み、前記 $L \leq 1/\alpha(\lambda)$ の関係にある光の波長と半導体薄膜材料の組み合わせによるものであっても、 $L > 1/\alpha(\lambda)$ と同様高い変換効率が得られ、しかも、光の波長と半導体薄膜材料の組み合わせや設計自由度

を大幅に改善することができ、さらには、前記デッド・スペースによる変換効率の低下が抑制できる半導体装置を提供することを課題とする。

【課題を解決するための手段】

前記課題を解決するため、請求項1～10記載の半導体装置は、以下の構成をとっている。

請求項1～10記載の発明は、

$L \leq 1/\alpha(\lambda)$ となる波長の光を光電変換する半導体薄膜を有する光電変換素子が複数重ね合わされてなる構成をとっている。

但し、 λ ：入射光の波長

$\alpha(\lambda)$ ：波長 λ の光に対する半導体薄膜の吸収係数

L ：キャリア収集長

請求項2記載の発明では、重ね合わされた光電変換素子の光電変換を行う半導体薄膜の合計膜厚；d、重ね合わされた光電変換素子の数；nとすると、 $L < d < nL$ 、となる構成をとっている

。

請求項3記載の発明では、重ね合わされた光電変換素子の数が、 $1/(\alpha(\lambda) \cdot L)$ 以上となっている。

請求項4記載の発明では、光が入射する側からm番目（ $1 < m \leq n$ ）の光電変換素子の光電変換を行う半導体薄膜の膜厚 t_m が、 $t_m \leq L$ となるようにしている。

請求項5記載の発明では、重ね合わされた光電変換素子の各々で吸収される光量がほぼ等しくなっている。

請求項6記載の発明では、光が入射する側からm番目までの光電変換素子の光電変換を行う半導体薄膜の合計膜厚 X_m が、ほぼ

$$d - \frac{1}{\alpha(\lambda)} \sinh^{-1} \left(\left(1 - \frac{m}{n} \right) \sinh \alpha(\lambda) d \right)$$

となっている。請求項7記載の発明では、半導体装置が、スイッチング素子である電界効果型トランジスタの制御電極にその起電力が付与されるように接続されていて、スイッチング装置用受光素子となってい

る。

請求項8記載の発明では、光電変換素子は、電界効果型トランジスタのしきい値電圧以上の出力電圧を起こせるだけの数で重ね合わされている。

請求項9記載の発明では、スイッチング装置が、制御回路も備えており、この制御回路が形成されている半導体基板上に半導体装置が積層されている。

請求項10記載の発明では、スイッチング素子である電界効果型トランジスタが形成されている半導体基板上に半導体装置が設けられている。

なお、本発明でいう制御回路とは、スイッチング素子のゲートまたはベース等の制御領域の電荷を受光素子に光が供給されていないときに放電させる機能を有する回路である。上記電荷は受光素子からスイッチング素子をオンさせるためスイッチング素子の制御領域へ供給されたものである場合の他、スイッチング素子の出力領域へ印加されたパルス電圧により出力領域-制御領域間の浮遊容量を通して制御領域に充電されるものも含む。

ったり、重ね合わされた光電変換素子の数が $1 / (\alpha(\lambda) \cdot L)$ 以上であつたりすると、変換効率の高いものとなりやすい。

(実施例)

以下、この発明にかかる半導体装置を、その一実施例をあらわす図面を参照しながら詳しく説明する。

第1図は、この発明にかかる半導体装置の第1実施例である受光素子をあらわす。

この受光素子1では、 $L \leq 1 / \alpha(\lambda)$ の関係にある半導体薄膜を有する光電変換素子を2層以上積層することにより構成される(第1図は便宜上3層である)。光電変換素子は、 $1 / (\alpha(\lambda) \cdot L)$ 以上の数が積層されることが好ましい。

半導体装置1では、まず、絶縁基板2の表面に好ましくは、Ni-CrやAl等の導電性薄膜20が形成される。つぎに、アモルファスシリコン等からなる $L \leq 1 / \alpha(\lambda)$ の関係を満たす半導体薄膜を有する光電変換素子D1, D1a, D1b…を積層形成する。すなわち、第1導電型半導体層

(作用)

請求項1～10記載の半導体装置では、光電変換を行う半導体薄膜ひとつひとつは $L \leq 1 / \alpha(\lambda)$ であっても、各半導体薄膜の厚みを薄くすることにより、キャリア収集長しに起因する変換効率の低下を解消させられる。半導体薄膜の厚みが薄くて光が透過しやすくなるが、透過した光をその下側の半導体薄膜で吸収され光電変換に寄与するため問題ない。また、厚みの薄い半導体薄膜は光劣化が少なく信頼性が高い。直列接続のかたちをとるのに、複数の光電変換素子を厚み方向に積層するだけによく、従来必要とされたデッド・スペースの発生を抑制することができる。さらに、光電変換素子を導電性薄膜を介さずに直に接続できるため、接続ロスも抑えられる。

また、各光電変換素子の光電変換を行う半導体薄膜の厚みがキャリア収集長以下であったり、重ね合わされた光電変換素子の光電変換を行う半導体薄膜の合計膜厚: d、重ね合わされた光電変換素子の数: nとするとき、 $L < d < nL$ 、であ

(例えばP層) 21、比較的価電子制御不純物濃度の少ない半導体層(例えば1層、この発明の光電変換を行う半導体薄膜) 22、および逆導電型の半導体層(例えばn層) 23がこの順序で積層され第1の光電変換素子D1が形成される。さらにその上に、第2の光電変換素子D1aが、第1の光電変換素子D1と同じ積層順序、つまり、第1導電型半導体層21a、比較的価電子制御不純物濃度の少ない半導体層(この発明の光電変換を行う半導体薄膜) 22a、および逆導電型半導体層23aの順に積層され形成される。ついで、その上には第3の光電変換素子D1bが、やはり、第1導電型半導体層21b、比較的価電子制御不純物濃度の少ない半導体層(この発明の光電変換を行う半導体薄膜) 22b、および逆導電型半導体層23bの順に積層され形成される。さらに、統けて、第4の光電変換素子…が形成され、最後に、In_xO_y等からなる光透過性の導電膜24が形成されて、受光素子1が構成される。なお、第1導電型の半導体層21, 21a, 21b, …、お

より、逆導電型の半導体層 23, 23a, 23b…は現在問題にしている波長λの光を吸収する材料である必要はなく、例えば、アモルファスSiCマイクロクリスタルSiで構成されてもよい。

また、従来技術で述べたように、スイッチング素子であるFET等の電圧制御素子を駆動させる場合には、ソース・ゲート間のしきい値電圧を越える電圧を得るために、複数個の光電変換素子を直列に接続する必要があるけれど、従来では、デッド・スペースの割合が増え、変換効率が下がる要因となる。

しかし、受光素子1においては、導電性薄膜20, 24間に各光電変換素子が直列に接続されたかたちとなっていても、第2図にみるように、デッド・スペースが殆どない状態である。デッド・スペースによる変換効率の低下が防げるのである。第2図と第12図とを比較すれば、デッド・スペースの問題が改善されていることがよく分かる。しかも、従来は光電変換素子間の接続部(第11図の薄膜100と薄膜101の接触部分)が露出し

ていたが、これも解消されるため、導電性薄膜の電解腐蝕等の電気化学反応に対しても強く、信頼性が高まる。また、光電変換素子同士の間を導電性薄膜を設けることなく直に接続でき、接続ロスをなくすることもできる。

次に、この受光素子の設計の仕方について説明する。

第3図に示すように、入射光は裏面の導電性薄膜20で完全に反射され、第5図に示すように、この反射光も発電に寄与するものと考えると、表面からX離れた位置における光の吸収量は、

$$\text{入射光: } I_0 \cdot (1 - e^{-\alpha d \cdot X})$$

$$\text{反射光: } I_0 \cdot (e^{-\alpha d \cdot X}) - e^{-2d\alpha \cdot d}$$

で与えられる。ここで、 I_0 は入射光強度、 d は積層された光電変換を行う半導体薄膜全体の膜厚である。ここでは簡単のために第1導電型および逆導電型の半導体層は光学ギャップが広く膜厚が薄いので光の吸収が無視できるものとする。

また、第4図に示すように、積層された光電変換素子数n、表面からm番目($m \leq n$)までの素

子の表面から積算した半導体薄膜厚さを X_m とすると、

まず、表面から X_m の間で吸収される光量 I_m は、

$$I_m = I_0 \cdot (1 - e^{-\alpha d \cdot X_m}) + I_0 \cdot (e^{-\alpha d \cdot (2d-X_m)} - e^{-2d\alpha \cdot d}) \quad \dots (4)$$

となる。次に、積層された光電変換素子全体で吸収される光量 I_t は、

$$I_t = I_0 \cdot (1 - e^{-2d\alpha \cdot d}) \quad \dots (5)$$

となり、n個の光電変換素子の各々で吸収される光量が等しくなるようにすると I_m は、

$$I_m =$$

$$\frac{m}{n} I_t = \frac{m}{n} I_0 \cdot (1 - e^{-2d\alpha \cdot d}) \quad \dots (6)$$

となる。したがって式(4), (6)の関係より

$$I_0 \cdot (1 - e^{-\alpha d \cdot X_m}) + I_0 \cdot (e^{-\alpha d \cdot (2d-X_m)} - e^{-2d\alpha \cdot d}) = \frac{m}{n} I_0 \cdot (1 - e^{-2d\alpha \cdot d})$$

となり、この式より

$$\frac{d - X_m}{\alpha(\lambda)} = \frac{1}{\sinh^{-1}} \left(\left(1 - \frac{m}{n}\right) \sinh \alpha(\lambda) d \right) \quad \dots (7)$$

の関係式($d_m = d - X_m$)が得られる。この式(7)により、入射光の波長λ、半導体薄膜材料のα、および積層される光電変換素子数nが決まれば、この発明の光電変換素子が設計できるのである。後に述べる具体例でもわかるように式(7)で決められる各層の半導体膜厚は著しく大きな変化はないので、各層膜厚が10%程度の変化をしても、諸特性に大きな変化を及ぼすことは少ない。ただし、この設計においても、各光電変換素子の光電変換を行う半導体薄膜の膜厚がキャリア収集長しより小さい条件を満たしていることが特に好ましい。なかでも、設計上、最下層の光電変換素子の光電変換を行う半導体薄膜の膜厚が最も厚くなるため、

$$d - X_{n-1} \quad (\text{最下層の光電変換素子の膜厚}) =$$

$$\frac{1}{\alpha(\lambda)} \sinh^{-1} \left(\frac{1}{n} \sinh \alpha(\lambda) d \right) < L$$

を満たしていることが特に望ましい。

さらに、より具体的に説明する。

従来技術で述べた述べた問題点の一例として挙

げた 6600A の LED の光を受けるアモルファスシリコンにより形成された光電変換素子の組み合わせにおいて、9 個の光電変換素子 D1 ~ D9 が 9 個積層された受光素子を作成した。各光電変換素子の厚みは、第 6 図に示すとおりである。同図に示すように、6600A の光をアモルファスシリコンで吸収するためには 3 μm 程度の膜厚が必要である。ところが、通常アモルファスシリコン光電変換素子の膜厚は 6000A 程度であり、この膜厚で吸収できる光量は、図中 I に一点鎖線で示すように、膜厚が 3 μm の場合（図中 II に実線で示す）に比べて約 1/3 程度である。なお、第 6 図では、 $A = B + B' - C + C' - D + D' - \dots$ である。

前記式①にしたがって、全体の膜厚を 3 μm として、各光電変換素子 D1 ~ D9 の膜厚を設計した場合、6600A の光をほぼ完全に吸収でき、かつ、各層の光電変換素子の膜厚は 3000 ~ 4000A 程度と通常の素子の約 1/2 の膜厚ですむことが分かる。このように各光電変換素子の膜厚

が薄くできるため、キャリア収集長からくる効率低下やさらに、アモルファスシリコン特有の光劣化特性が大幅に改善できることになる。

このように、この発明においては、波長 λ 、吸収係数 α 、キャリア収集長 l により一義的に決定されてしまう発電効率を大幅に向上させることができるのである。

続いて、この発明の半導体装置にかかる第 2 実施例である受光素子の説明を行う。

第 7 図は、第 2 実施例の受光素子を受光部とするスイッチング装置をあらわし、第 8 図は、その等価回路をあらわす。

このスイッチング装置は、受光素子 1'、スイッチング素子である電界効果型トランジスタ T1 および、制御回路 DR1 より構成されており、制御回路 DR1 は、電界効果型トランジスタ T2、第 1 の抵抗性素子 RA11、第 2 の抵抗性素子 RA12 よりなる。

受光素子 1' は、トランジスタ T1 および制御回路 DR1 が設けられた半導体基板 30 の上に積

層形成されている。

スイッチング素子であるトランジスタ T1 は、以下のような構成である。すなわち、第 2 導電型の低抵抗（例えば n+ 型）領域 30a と高抵抗（例えば n 型）領域 30b を有する第 2 導電型半導体基板 30 の前記高抵抗領域 30b 側の表面に、第 1 導電型領域である複数の P 層 40、40a …、P 層 50 の一部が、互いに離間して形成されている。各 P 層 40、40a …、P 層 50 の一部内の表面には、さらに、第 2 導電型領域である n+ 層 41、41a … が形成されている。ここで 41 と 41a は断面図外で接続されている。

以上の各領域が形成された半導体基板 30 の表面上には、絶縁膜 44 を介して、前記各 P 層 40、40a …、P 層 50 の間をまたぐように、Poly Si 等からなる電極 45 … が形成されている。そして、この電極 45 を絶縁ゲート G、前記 n+ 層 41 をソース S、各 P 層 40、40a のまわりの n 型の半導体基板 30 をドレイン D、前記 n+ 層 41 と n 型半導体基板 30 とで挟まれた P 層 40、

40a、50 表面をチャネル形成領域として、複数の二重拡散型の電界効果型トランジスタ T1 が構成されることとなるのである。

さらに、各電極 45 … の上面には、保護膜を兼ねた絶縁膜 44b が形成されており、その上に各トランジスタ T1 間にわたって A2 等の導電性薄膜 46 が形成されている。この導電性薄膜 46 は、図にみるよう、各 n+ 層 41 … および各 P 層 40 … とコントタクトしており、ソース電極として使用されるものである。一方、各電極 45 … は図示していないところで接続されており、また、各トランジスタ T1 のドレインは、前述したように 1 つの半導体基板 30 の一部であるため、これも電気的に接続されている。したがって、各トランジスタ T1 … は並列に接続されることになる。

次に、制御回路 DR1 用のトランジスタ T2 を説明する。すなわち、前記第 2 導電型の半導体基板 30 の高抵抗領域 30b 側の表面に、第 1 導電型領域である P 層 50 が形成され、さらに、この

P層50の表面には、第2導電型領域であるn⁺層51、52が離間して形成されている。

以上の各領域が形成された半導体基板30の表面上には、絶縁膜53を介して、前記n⁺層51、52の間をまたぐように、Poly Si等からなる電極54が形成されている。

そして、この電極54を絶縁ゲートG、前記n⁺層51、52をソースSまたはドレインD(図ではn⁺層52をソース、n⁺層51をドレインとしている)とし、前記n⁺層51、52で挟まれたP層50の表面をチャネル形成領域として、トランジスタT2が構成される。

なお、第1実施例ではトランジスタT2は、トランジスタT1が形成される第1導電型領域50に形成されているが、これとは異なる別途設けられた第1導電型領域にトランジスタT2を形成することもできる。さらには、第1導電型領域の中を作られた第2導電型領域を使って制御回路用の素子が形成されるようあってもよい。また、トランジスタT2のしきい電圧は、トランジスタT

1のしきい電圧よりも低くされている。

第1の抵抗性素子RA11は、トランジスタT2と同様の構成を有する。すなわち、第1導電型領域であるP層60が第2導電型半導体基板30の表面に形成され、さらに、P層60の表面には、第2導電型領域であるn⁺層61、62が離間して形成されている。これらの各領域が形成された半導体基板30表面には、絶縁膜63を介して、前記n⁺層61、62の間をまたぐように、Poly Si等からなる電極64が形成されている。そして、この電極64をゲート、前記n⁺層62をドレイン、前記n⁺層61をソースとし、ドレンとゲートが図に示すようにA₂等の導電膜65により接続されていて、整流特性を持つ非線型な抵抗性素子RA11が構成される。

また、第2の抵抗性素子RA12も、トランジスタT2と同様の構成を有する。すなわち、第1導電領域であるP層70が第2導電型半導体基板30の表面に形成され、さらに、P層70の表面には、第2導電型領域であるn⁺層71、72が

離間して形成されている。そして、離間したn⁺層71、72の間をまたぐように、ノーマリイ・オン(ディプレッション)型とするための薄いn層73が形成されている。その後、これらの各領域が形成された半導体基板30表面には、絶縁膜74を介して、前記n⁺層71、72の間をまたぐように、Poly Si等からなる電極75が形成されている。そして、この電極75をゲート、前記n⁺層72をドレイン、前記n⁺層71をソースとし、ゲートとソースが図に示すようにA₂等の導電膜76により接続されていて、高抵抗となる第2の抵抗性素子RA12が構成される。なお、P層60、70は直後電位を安定させるために第8図の如く抵抗を介してトランジスタT1のソースへ接続されることが多い。

一方、受光素子1'は、前記半導体基板30上に絶縁膜33を介して設けられている。すなわち、Ni-Cr等よりなる導電性薄膜電極310が形成され、さらにその上に、アモルファスシリコン等からなる第1導電型(たとえばP型)半導体層3

20、比較的価電子制御不純物濃度の少ない半導体層(光電変換を行う半導体層)330、第2導電型(たとえばn型)半導体層340がこの順序に積層され1つの光電変換素子D1が構成され、さらに、その上に同様な層構成で必要な数だけの光電変換素子D2、D3…が厚さ方向に積層されている。その後、In₂O₃等による透明導電電極350が形成され、受光素子1'が構成されている。

このようにして形成された各素子間は、Ni-CrあるいはA₂等による導電性薄膜、またはIn₂O₃等による透明導電膜によって第7図に示すように接続され、また、受光素子1'と半導体基板30との接続は、絶縁膜33の一部をエッチング等により除去して接続される。

また、第9図に示すように、受光素子1'は、トランジスタT1が形成されていない、制御回路DR1、すなわち、トランジスタT2、抵抗性素子RA11、RA12のみが形成された半導体基板30'上に積層した構成とすることもできる

。第9図において、第7図と同一の符号を付したものは同じものであるので、説明は省略する。

また、第7図、第9図においては、トランジスタT2がノーマリィ・オフ型のものが使用されているが、トランジスタT2として、ノーマリィ・オン型のものを用いるようにしてもよい。

なお、第7、9図のスイッチング装置は、受光素子1'が光を受けると、スイッチング素子が導通状態となり、光を受けなくなると、スイッチング素子は遮断状態となるよう動作する。

この発明は上記実施例に限らない。例えば、この発明の半導体装置に発光素子が光電変換素子の上に電気絶縁状態で積層形成される等して一体的に形成されているような構成でもよい。

(発明の効果)

請求項1～10記載の半導体装置は、以上に述べたように、 $l \leq 1/\alpha$ (λ) の光電変換を行う半導体薄膜を有する光電変換素子を複数積層することにより、キャリヤ収集長さに起因する変換効率の低下、接続ロス、デッド・スペース等が解消

し、設計面での自由度が広くなり、しかも、光劣化が少なくて信頼性が高い。

各光電変換素子の厚みが、キャリヤ収集長さ以下であると、変換効率が一層高くなる。

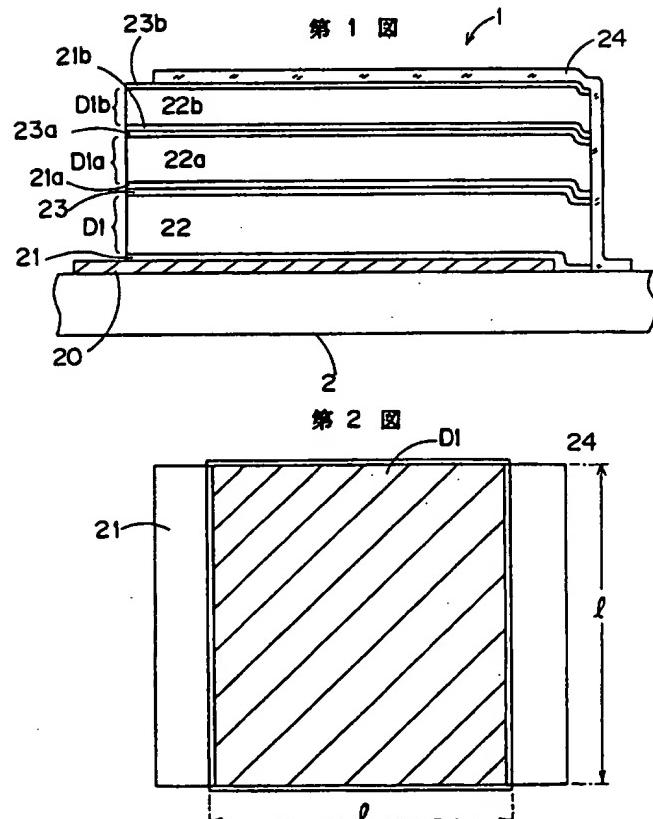
4. 図面の簡単な説明

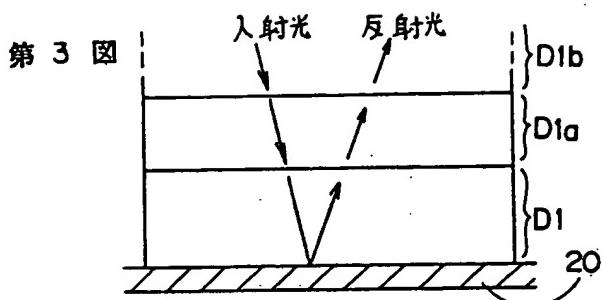
第1図は、この発明の第1実施例をあらわす断面図、第2図は、第1実施例の平面図、第3図は、第1実施例の光電変換素子中を透過する光をあらわす説明図、第4図は、この発明の半導体装置における積層形成された光電変換素子の光電変換を行う半導体薄膜の部分のみを模式的にあらわす説明図、第5図は、積層形成された光電変換素子部分での光の吸収をあらわす説明図、第6図は、この発明の半導体装置における積層個数9個の光電変換素子部分での光の吸収をあらわす説明図、第7図は、第2実施例を用いたスイッチング装置の例をあらわす断面図、第8図は、このスイッチング装置の等価回路図、第9図は、第2実施例を用いたスイッチング装置の他の例をあらわす断面図、第10図は、従来のスイッチング装置の等価

回路図、第11図は、このスイッチング装置における受光部まわりの断面図、第12図は、受光部の平面図、第13図(a)、(b)、(c)は、それぞれ、半導体薄膜における光電変換作用を模式的にあらわす説明図である。

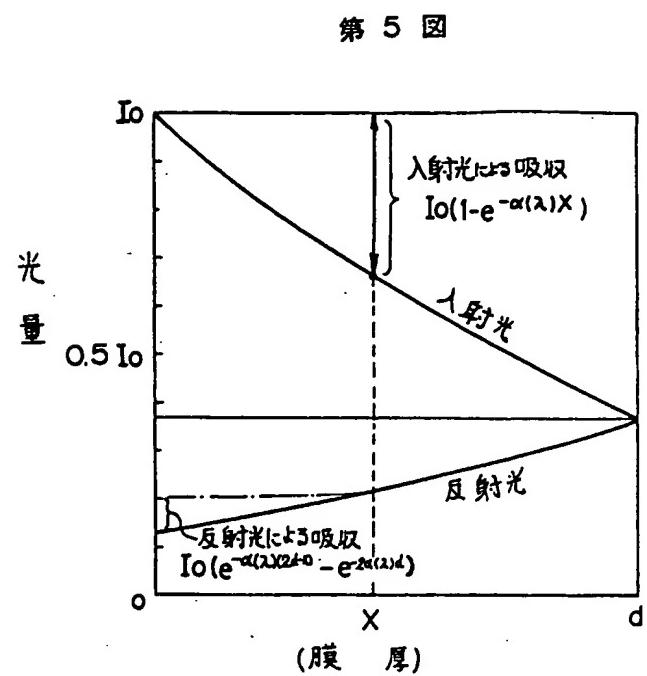
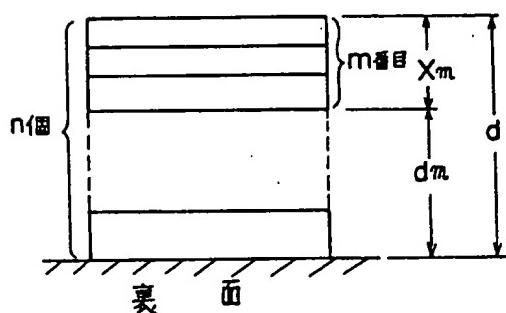
1. 1'…受光素子(半導体装置)
D1～D9…光電変換素子
T1…スイッチング素子
用のトランジスタ
T2…制御回路用のトランジスタ
DR1…制御回路
RA11, RA12…抵抗性素子

代理人 弁理士 松本武彦

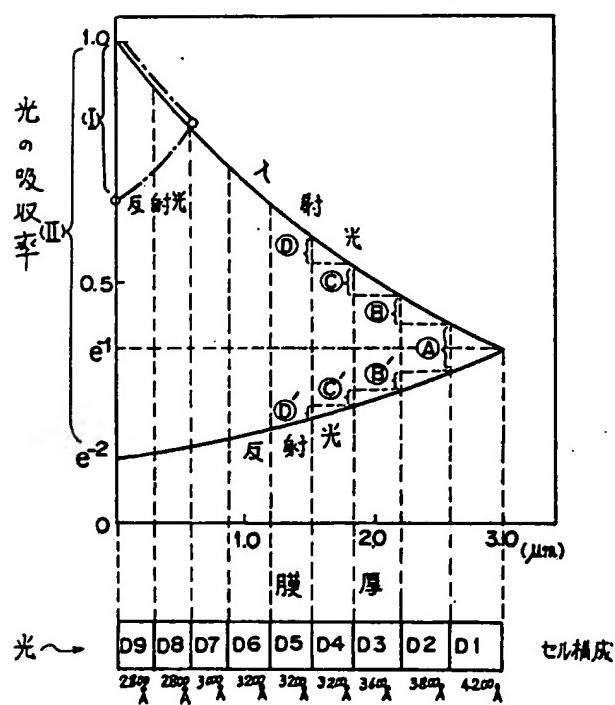




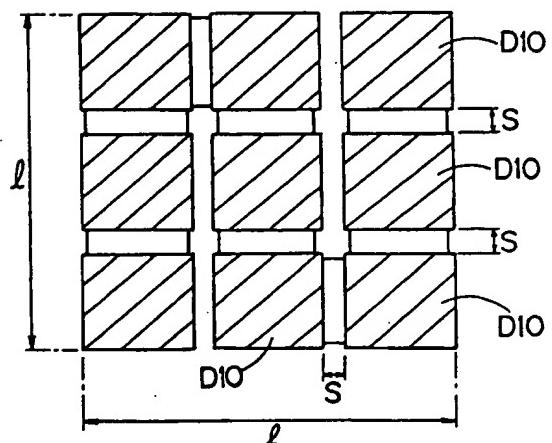
第4図



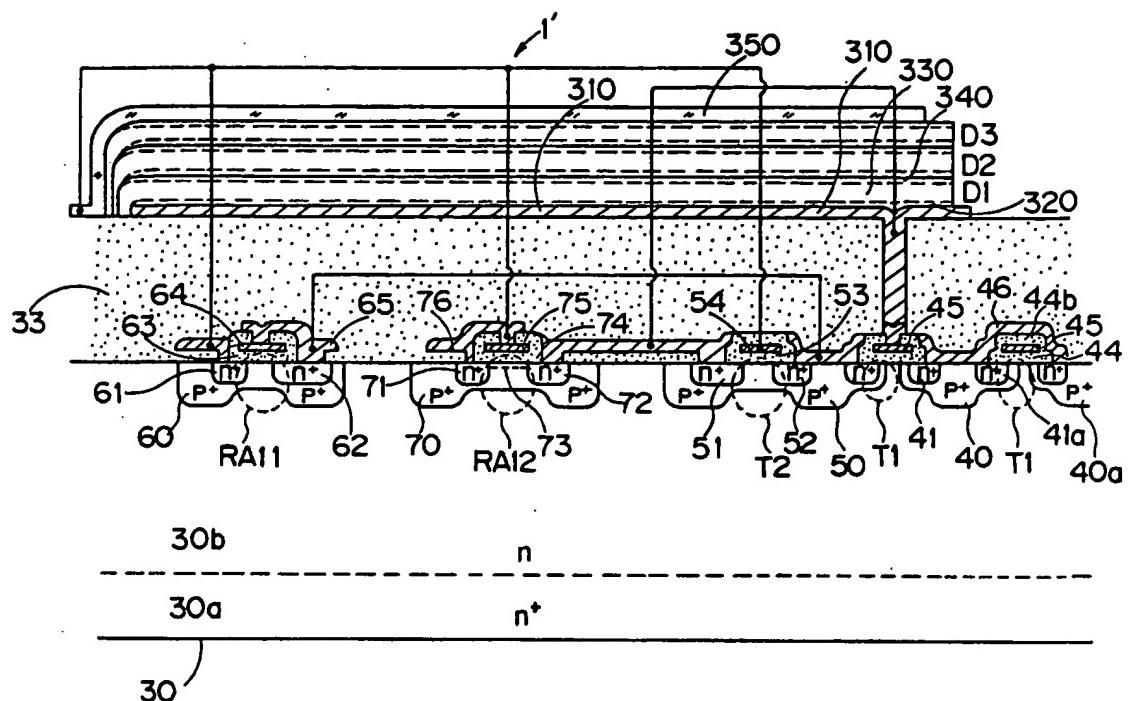
第6図



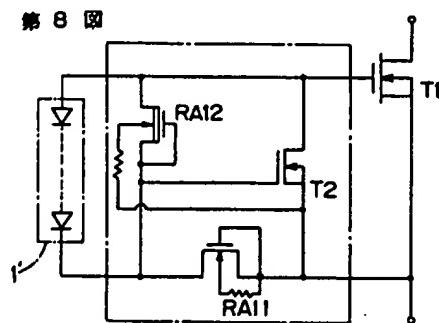
第12図



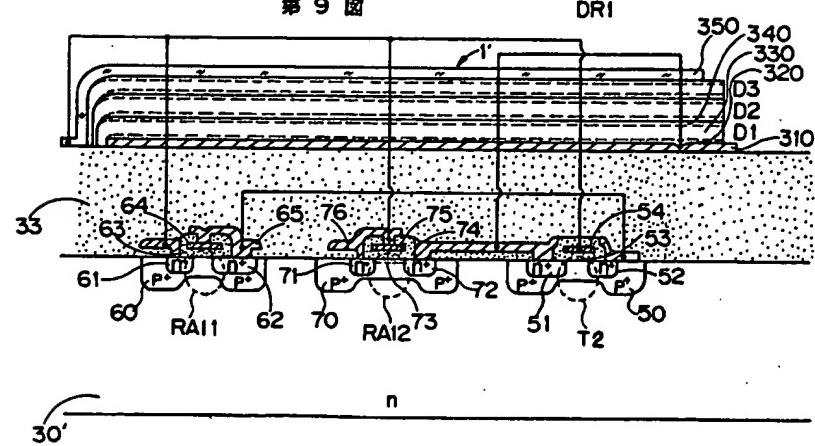
第7図



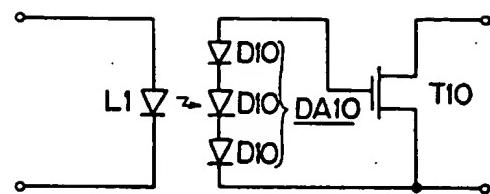
第8図



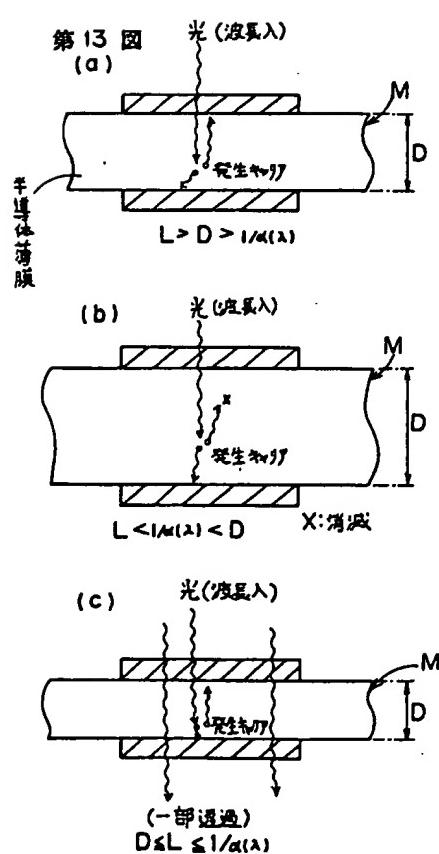
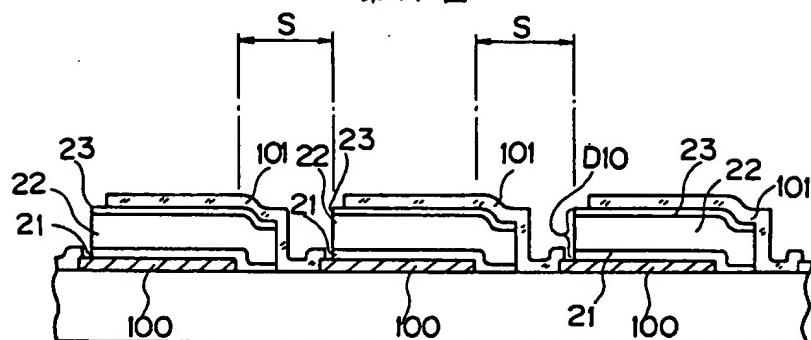
第9図



第10図



第11図



特許出願人 (自発)

平成1年4月20日

特許庁長官 聞

1. 事件の表示

平成1年特許願第044123号

2. 発明の名称

半導体装置

3. 検正をする者

事件との関係 特許出願人

居 所 東京都千代田区霞が関1丁目3番1号

(114) 工業技術院長

氏 名 飯塚 幸三 (ほか1名)

4. 復代理人 (代理人)

住 所 〒545 大阪市阿倍野区阪南町1丁目25番6号
電話 (06) 622-8218

氏 名 (7346) 弁理士 松本 武彦



5. 検正により増加する項数

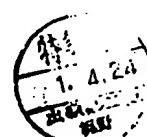
な し

6. 検正の対象

別紙のとおり

7. 検正の内容

別紙のとおり



6. 補正の対象

明細書

7. 補正の内容

① 明細書の特許請求の範囲欄の全文を下記のとおりに訂正する。

-記-

「1 光を受けて半導体薄膜で光電変換がなされ起電力が発生する半導体装置において、

$\lambda \leq 1/\alpha(\lambda)$ となる光の波長を光電変換する半導体薄膜を有する光電変換素子が複数重ね合わされてなる

但し、 λ ：入射光の波長
 $\alpha(\lambda)$ ：波長 λ の光に対する半導体薄膜の
 吸収係数
 L ：キャリア収集長

ことを特徴とする半導体装置。

2 重ね合わされた光電変換素子の光電変換を行う半導体薄膜の合計膜厚； d 、重ね合わされた

光電変換素子の数； n とするとき、 $L < d < nL$ である請求項1記載の半導体装置。

3 重ね合わされた光電変換素子の数が、

$1/(n\alpha(\lambda)) \cdot L$ 以上である請求項1または2記載の半導体装置。

4 光が入射する側から m 番目 ($1 < m \leq n$) の光電変換素子の光電変換を行う半導体薄膜の膜厚 L_m が、 $L_m = L$ である請求項1から3までのいずれかに記載の半導体装置。

5 重ね合わされた光電変換素子の各々で吸収される光量がほぼ等しくなる請求項1から4までのいずれかに記載の半導体装置。

6 光が入射する側から m 番目までの光電変換素子の光電変換を行う半導体薄膜の合計膜厚 X_m がほぼ

$X_m =$

$$d - \frac{1}{\alpha(\lambda)} \sinh^{-1} \left(\left(1 - \frac{m}{n} \right) \sinh \alpha(\lambda) d \right)$$

である請求項5記載の半導体装置。

7 半導体装置が、スイッチング素子である電

界効果型トランジスタの制御電極にその起電力が付与されるように接続されていて、スイッチング装置用受光素子となっている請求項1から6までのいずれかに記載の半導体装置。

8 光電変換素子は、電界効果型トランジスタのしきい値電圧以上の出力電圧を起こせるだけの数で重ね合わされてなる請求項7記載の半導体装置。

9 スイッチング装置が、制御回路も備えており、この制御回路が形成されている半導体基板上に半導体装置が積層されてなる請求項7または8記載の半導体装置。

10 スイッチング素子である電界効果型トランジスタが形成されている半導体基板上に半導体装置が設けられてなる請求項7または8記載の半導体装置。」

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.